

554, 106

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 11 月 4 日 (04.11.2004)

PCT

(10) 国際公開番号
WO 2004/095831 A1

- (51) 国際特許分類⁷: H04N 5/335, H01L 27/146
- (21) 国際出願番号: PCT/JP2004/005334
- (22) 国際出願日: 2004 年 4 月 14 日 (14.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-120343 2003 年 4 月 24 日 (24.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小林 宏也 (KOBAYASHI, Hiroya) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 赤堀 寛 (AKAHORI, Hiroshi) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜

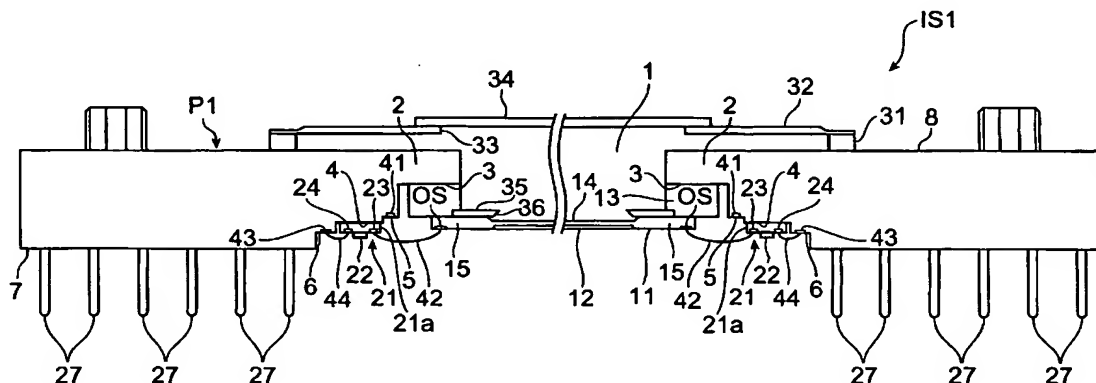
松ホトニクス株式会社内 Shizuoka (JP). 村松 雅治 (MURAMATSU, Masaharu) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).

- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目10番6号 銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

/ 続葉有 /

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置



(57) Abstract: A solid-state imaging device (IS1) comprising a package (P1), a CCD chip (11) and a chip resistance array (21). A mounting unit (2) for mounting the CCD chip (11) and the chip resistance array (21) thereon is provided to the package (P1) so as to protrude into a hollow (1). The mounting unit (2) has a first plane unit (3) and a second plane unit (4) that are formed with a step difference. The CCD chip (11) is placed on the first plane unit (3) via a spacer (13) and fixed. The chip resistance array (21) is placed on the second plane unit (4) and fixed. The chip resistance array (21) is disposed so as to be closed to the CCD chip (11) by using the step difference between the first plane unit (3) and the second plane unit (4).

(57) 要約: 固体撮像装置 IS1 は、パッケージ P1、CCD チップ 11、チップ抵抗アレイ 21 等を備える。パッケージ P1 には、CCD チップ 11 及びチップ抵抗アレイ 21 を載置するための載置部 2 が中空部 1 に突出するように設けられている。載置部 2 は、第 1 の平面部 3 と第 2 の平面部 4 とを有し、第 1 の平面部 3 と第 2 の平面部 4 とは、段差を有して形成されている。CCD チップ 11 は、スペーサ 13 を介して第 1 の平面部 3 上に載置され、固定される。チップ抵抗アレイ 21 は、第 2 の平面部 4 上に載置され、固定される。チップ抵抗アレイ 21 は、第 1 の平面部 3 と第 2 の平面部 4 との段差を利用して、CCD チップ 11 とチップ抵抗アレイ 21 とが近接して配置される。

WO 2004/095831 A1



KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明細書

固体撮像装置

技術分野

【0001】 本発明は、固体撮像装置に関する。

5 背景技術

【0002】 この種の固体撮像装置として、エネルギー線感応部を有する固体撮像素子と、この固体撮像素子を収納するパッケージとを備えており、パッケージの外部に上記固体撮像素子から出力された信号を処理する信号処理回路が設けられたものが知られている（例えば、特許文献1参照）。

10 【0003】 【特許文献1】 特開平4-317280号公報

発明の開示

【0004】 しかしながら、信号処理回路をパッケージの外部に設けた場合、固体撮像素子から信号処理回路までの信号伝達経路（電気配線）が長くなり、この信号伝達経路の寄生容量が大きくなってしまふ。この結果、固体撮像素子から出力された信号の波形が鈍ると共に、高速応答性が損なわれてしまふ。

15

【0005】 本発明は上述の点に鑑みてなされたもので、その目的は、信号伝達経路の寄生容量を低減して、固体撮像素子から出力された信号の波形の鈍化を抑制すると共に、高速応答性を向上することが可能な固体撮像装置を提供することにある。

20 【0006】 上述した目的を達成するため、本発明に係る固体撮像装置は、エネルギー線感応部を有する固体撮像素子と、固体撮像素子から出力される信号を処理する信号処理回路と、固体撮像素子及び信号処理回路を収納するパッケージと、を備え、信号処理回路は、パッケージにおける固体撮像素子が配置された平面部とは異なる平面部に配置されていることを特徴とする。

25 【0007】 本発明に係る固体撮像装置では、信号処理回路が、パッケージにおける固体撮像素子が配置された平面部とは異なる平面部に配置されるので、固

固体撮像素子と信号処理回路とが近接して配置されることとなる。これにより、固体撮像素子から信号処理回路までの信号伝達経路が短くなり、信号伝達経路の寄生容量が小さくなる。この結果、固体撮像素子から出力された信号の波形の鈍化を抑制すると共に、高速応答性を向上することができる。

5 【0008】 また、本発明に係る固体撮像装置は、エネルギー線感応部を有する固体撮像素子と、固体撮像素子から出力される信号を処理する信号処理回路と、固体撮像素子及び信号処理回路を収納するパッケージと、を備え、パッケージは、第1の平面部と、第1の平面部に段差を有して形成された第2の平面部とを有しており、固体撮像素子は第1の平面部に配置され、信号処理回路は第2の平面部に配置されていることを特徴としている。

10 【0009】 本発明に係る固体撮像装置では、信号処理回路が、第1の平面部と第2の平面部との段差を利用して、固体撮像素子に近接して配置されることとなる。これにより、固体撮像素子から信号処理回路までの信号伝達経路が短くなり、信号伝達経路の寄生容量が小さくなる。この結果、固体撮像素子から出力された信号の波形の鈍化を抑制すると共に、高速応答性を向上することができる。

15 【0010】 以上のように、本発明に係る固体撮像装置それぞれによれば、信号伝達経路の寄生容量を低減して、固体撮像素子から出力された信号の波形の鈍化を抑制すると共に、高速応答性を向上することが可能な固体撮像装置を提供することができる。

20 【0011】 また、信号処理回路は、固体撮像素子の出力端子に電氣的に接続される負荷抵抗を含んでいることが好ましい。このように構成した場合、固体撮像素子と負荷抵抗とが離れて配置されるので、負荷抵抗が発熱した場合でも、固体撮像素子の特性に悪影響（例えば、暗電流の増加等）を及ぼすのを防ぐことができる。

25 【0012】 また、信号処理回路は、一端が固体撮像素子の出力端子に電氣的に接続され、他端が接地される負荷抵抗と、固体撮像素子の出力端子に電氣的に

接続されるバイポーラトランジスタを有するバッファアンプと、を含んでいることが好ましい。このように構成した場合、固体撮像素子と負荷抵抗とが離れて配置されるので、負荷抵抗が発熱した場合でも、固体撮像素子の特性に悪影響（例えば、暗電流の増加等）を及ぼすのを防ぐことができる。また、バイポーラトランジスタは、負荷抵抗に対するドライブ能力が高いため、バッファアンプより後段の信号伝達経路の寄生容量による影響を軽減することができる。

図面の簡単な説明

【0013】 図1は、第1実施形態に係る固体撮像装置の断面構成を説明するための概略図である。

【0014】 図2は、第1実施形態に係る固体撮像装置の平面図である。

【0015】 図3は、信号処理回路の構成を説明するための回路図である。

【0016】 図4Aは、従来の技術における固体撮像装置を示す概略図である。

【0017】 図4Bは、第1実施形態における固体撮像装置を示す概略図である。

【0018】 図5は、第2実施形態に係る固体撮像装置の断面構成を説明するための概略図である。

【0019】 図6は、第2実施形態に係る固体撮像装置の平面図である。

【0020】 図7は、図6におけるバッファアンプモジュール近傍の構成を示す平面図である。

【0021】 図8は、バッファアンプモジュールの構成を説明するための回路図である。

【0022】 図9Aは、従来の技術における固体撮像装置を示す概略図である。

【0023】 図9Bは、第2実施形態における固体撮像装置を示す概略図である。

【0024】 図10は、第2実施形態に係る固体撮像装置の変形例の断面構成を説明するための概略図である。

発明を実施するための最良の形態

【0025】 本発明の実施形態に係る固体撮像装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

5 【0026】 (第1実施形態)

まず、図1～図3に基づいて、第1実施形態に係る固体撮像装置の構成について説明する。図1は、第1実施形態に係る固体撮像装置の断面構成を説明するための概略図である。図2は、同じく第1実施形態に係る固体撮像装置の平面図である。図3は、信号処理回路の構成を説明するための回路図である。なお、図2
10 は、固体撮像装置の裏面側（エネルギー線の入射側とは反対側）から見た図である。

【0027】 第1実施形態の固体撮像装置IS1は、セラミック製のパッケージP1、裏面照射型のCCDチップ11（固体撮像素子）、チップ抵抗アレイ21等を備えている。パッケージP1の中央部には、パッケージP1の所定方向に伸びる中空部1が形成されている。パッケージP1には、CCDチップ11及びチップ抵抗アレイ21を載置するための載置部2が中空部1に突出するように設け
15 られている。載置部2は、CCDチップ11を配置するための第1の平面部3と、チップ抵抗アレイ21を配置するための第2の平面部4とを有している。第1の平面部3と第2の平面部4とは、段差を有して形成されている。

【0028】 また、載置部2は、第3の平面部5及び第4の平面部6を更に有している。第3の平面部5は、第1の平面部3と第2の平面部4との間に位置し、第1の平面部3及び第2の平面部4に段差を有して形成されている。第4の平面部6はパッケージP1の裏面7と第2の平面部4との間に位置し、パッケージP1の裏面7及び第2の平面部4に段差を有して形成されている。パッケージP1
20 の裏面7には、外部接続用の電極ピン27が複数配置されている。

【0029】 CCDチップ11は、入射したエネルギー線を電荷に変換するエ

エネルギー線感応部 12 を有している。この CCD チップ 11 は、裏面側がエネルギー線入射面となるように、スペーサ 13 を介して載置部 2 の第 1 の平面部 3 上に載置され、この載置部 2 (パッケージ P 1) に固定される。ところで、CCD チップ 11 は、厚さ約 300 μm のシリコン基板からなる。裏面照射型の CCD チップ 11 においては、基板の薄形化、及び入射面 (裏面) 側からのポテンシャルスロープの形成が必要である。

【0030】 CCD チップ 11 の、エネルギー線感応部 12 に対応する領域を含む裏面側の領域 (内側領域) には、厚さ 10 ~ 30 μm 程度に薄く削られた (したがって 270 ~ 290 μm 程度の深さでエッチングされた) 薄型部分 14 が形成されている。このような薄型部分 14 を有する構造は、まず、シリコン基板にシリコン窒化膜を堆積し、ホトリソグラフィ工程により所望の形状にパターニングし、それをマスクとしてシリコン基板を KOH からなるエッチング液で、シリコン窒化膜に覆われた基板周辺部を厚く残したままエッチングすることにより形成される。

【0031】 スペーサ 13 は、所定の温度域 (たとえば、133 $^{\circ}\text{C}$) における熱膨張係数が CCD チップ 11 (シリコン) の熱膨張係数よりも大きい材料からなり、本実施形態においては、アルミナ等のセラミック材料からなる。133 $^{\circ}\text{C}$ におけるシリコンの熱膨張係数は、 2.5×10^{-6} ($/^{\circ}\text{C}$) であり、同じく 133 $^{\circ}\text{C}$ におけるアルミナの熱膨張係数は、 6.5×10^{-6} ($/^{\circ}\text{C}$) である。スペーサ 13 は、接着剤 (図示せず) により、パッケージ P 1 に接着、固定されている。また、スペーサ 13 には、接着剤 (図示せず) により、CCD チップ 11 の枠部分 15 の裏面側が接着、固定されている。

【0032】 中空部 1 の周囲のパッケージ P 1 の表面 (エネルギー線入射側の面) 8 には、シールリング 31 が、中空部 1 (CCD チップ 11) を囲む状態でろう付け等により固着されている。シールリング 31 には、キャップ 32 がシームウェルド封止されている。キャップ 32 は、前述のように、その外周部が載置

された状態でシールリング 3 1 にシームウェルド封止されており、C C D チップ 1 1 の薄型部分 1 4 と対向する位置に設けられる開口部 3 3 を有している。また、キャップ 3 2 は、コパール（フェルニコ）にて一体に形成されており、その表面 8 には金メッキが施されている。

5 【0033】 キャップ 3 2 には、エネルギー線（光、電子線等）を透過させる窓部材 3 4 が、開口部 3 3 を覆うように固着されている。窓部材 3 4 は、板状の石英（コルツ）ガラスの基材からなり、紫外線を透過するように構成されており、エネルギー線入射面及びエネルギー線出射面が研磨されている。また、窓部材 3 4 は、このエネルギー線入射面の端部が全周にわたって、接着層（図示せず）を
10 介してキャップ 3 2 の上面（C C D チップ 1 1 に対向する面とは反対の面）に固着されることにより、キャップ 3 2 に固着されている。

【0034】 なお、パッケージ P 1 の中空部 1 のエネルギー線入射側部分とは反対側部分は、図示は省略するが、底蓋あるいは樹脂材料の充填等により封止することができる。

15 【0035】 載置部 2 の第 3 の平面部 5 には、C C D チップ 1 1 の C C D チップ側電極（図示せず）と接続するための複数の第 1 のパッケージ側電極 4 1 が設けられている。各第 1 のパッケージ側電極 4 1 は、パッケージ P 1 内に形成された内部配線（図示せず）を介して、複数の電極ピン 2 7 のうちの所定の電極ピンに電氣的に接続されている。C C D チップ側電極と第 1 のパッケージ側電極 4 1
20 とは、ボンディングワイヤ（図示せず）を介して電氣的に接続されている。これにより、外部から C C D チップ 1 1 に、所定の電極ピン、内部配線、第 1 のパッケージ側電極 4 1、ボンディングワイヤ、及び C C D チップ側電極を通して、転送信号等の信号が送られる。

25 【0036】 チップ抵抗アレイ 2 1 は、基板 2 1 a 上にアレイ状に形成された複数の抵抗素子 2 2 を有している。基板 2 1 a には、抵抗素子 2 2 毎に、入力端子（入力電極）2 3 及び出力端子（出力電極）2 4 が形成されている。また、チ

チップ抵抗アレイ 21 は、載置部 2 の第 2 の平面部 4 上に接着層（図示せず）を介して載置され、この載置部 2（パッケージ P1）に固定される。入力端子 23 は、CCD チップ 11 の出力端子（電極）OS とボンディングワイヤ 42 を介して電氣的に接続されている。

5 【0037】 載置部 2 の第 4 の平面部 6 には、チップ抵抗アレイ 21 の出力端子 24 と接続するための複数の第 2 のパッケージ側電極 43 が設けられている。各第 2 のパッケージ側電極 43 は、パッケージ P1 内に形成された内部配線を介して、複数の電極ピン 27 のうちの所定の電極ピンに電氣的に接続されている。出力端子 24 と第 2 のパッケージ側電極 43 とは、ボンディングワイヤ 44 を介して電氣的に接続されている。これにより、CCD チップ 11 から、CCD チップ 11 の出力端子 OS、ボンディングワイヤ 42、チップ抵抗アレイ 21（抵抗素子 22）、ボンディングワイヤ 44、第 2 のパッケージ側電極 43、内部配線及び所定の電極ピンを通して外部に信号が出力されることとなる。

10 【0038】 ここで、図 3 を参照して、CCD チップ 11 から出力された信号を処理する信号処理回路について説明する。

15 【0039】 信号処理回路は、チップ抵抗アレイ 21 に含まれる抵抗素子 22、及び、オペアンプ 51 を有している。オペアンプ 51 は、固体撮像装置 IS1（パッケージ P1）が搭載される外部基板（図示せず）等に形成されている。

20 【0040】 CCD チップ 11 は、フローティングディフュージョン（図示せず）の電位の変化を読み出すための電界効果トランジスタ 16 を有しており、この電界効果トランジスタ 16 のゲート端子はフローティングディフュージョンに電氣的に接続されている。電界効果トランジスタ 16 のソース端子は、CCD チップ 11 の出力端子 OS に電氣的に接続されており、この出力端子 OS を介して抵抗素子 22 の入力端子 23 に接続されている。電界効果トランジスタ 16 のドレイン端子は、端子 OD に電氣的に接続されており、この端子 OD は、一定の正の電圧値を示す電圧が入力されている。このとき、抵抗素子 22 は負荷抵抗とし

て機能し、電界効果トランジスタ 1 6 及び抵抗素子 2 2 はソースフォロワ回路を構成する。

【0041】 抵抗素子 2 2 の出力端子 2 4 は、オペアンプ 5 1 の反転入力端子に電氣的に接続される。オペアンプ 5 1 の反転入力端子と出力端子との間には抵抗素子 5 2 が設けられ、オペアンプ 5 1 の非反転入力端子には可変電圧源 5 3 が電氣的に接続されている。なお、オペアンプ 5 1 の反転入力端子と非反転入力端子とは、バーチャル・ショートの関係にある。

【0042】 本実施形態においては、遮蔽部材 3 5 が、CCDチップ 1 1 のベベル部分（薄型部分 1 4 と枠部分 1 5 との間の傾斜部分）のエネルギー線入射方向前方を遮蔽するように CCDチップ 1 1 に対して配設されている。この遮蔽部材 3 5 は、厚さ約 300 μm のシリコン基板にて構成されており、エネルギー線（たとえば、光）を遮断する。遮蔽部材 3 5 には、薄型部分 1 4 に対向する位置に、矩形形状の貫通孔 3 6 がエッチング等により形成されている。遮蔽部材 3 5 は、エポキシ樹脂等からなる接着剤（図示せず）により、CCDチップ 1 1 の枠部分 1 5 の裏面 7 側に接着、固定されている。スペーサ 1 3 には、CCDチップ 1 1 の枠部分 1 5 に固定された遮蔽部材 3 5 に対応する位置に、CCDチップ 1 1 とスペーサ 1 3 とが接着、固定された状態で遮蔽部材 3 5 を保持する凹部が遮蔽部材 3 5 の全周を取り囲むようにして形成されている。

【0043】 以上のように、本実施形態によれば、チップ抵抗アレイ 2 1 が、CCDチップ 1 1 が配置された第 1 の平面部 3 とは異なる第 2 の平面部 4 に配置され、第 1 の平面部 3 と第 2 の平面部 4 との段差を利用して、CCDチップ 1 1 とチップ抵抗アレイ 2 1 とが近接して配置されることとなる。これにより、固体撮像装置 1 0 1 の外側に複数の抵抗素子（負荷抵抗）1 0 3 を配置するもの（図 4 A 参照）に比して、本実施形態の固体撮像装置 IS 1（図 4 B 参照）は、CCDチップ 1 1 からチップ抵抗アレイ 2 1（抵抗素子 2 2）までの信号伝達経路が短くなり、当該信号伝達経路の寄生容量が小さくなる。この結果、CCDチップ

1 1 から出力された信号の波形の鈍化を抑制すると共に、高速応答性を向上することができる。

【0044】 また、本実施形態においては、チップ抵抗アレイ 2 1 は、CCD チップ 1 1 の出力端子 O S に電氣的に接続される抵抗素子 2 2 を含んでいる。このように構成した場合、負荷抵抗として機能する抵抗素子 2 2 が CCD チップ 1 1 とは離れて配置されるので、抵抗素子 2 2 が発熱した場合でも、CCD チップ 1 1 の特性に悪影響（例えば、暗電流の増加等）を及ぼすのを防ぐことができる。

【0045】 なお、オペアンプ 5 1 の反転入力端子と非反転入力端子とはバーチャル・ショートの関係にあるので、ここでの電位は常に一定である。このため、電荷の充放電が生じるようなことはなく、チップ抵抗アレイ 2 1 からオペアンプ 5 1 までの信号伝達経路の寄生容量による影響をほぼ無視することができる。

【0046】 （第 2 実施形態）

次に、図 5 ～図 8 に基づいて、第 2 実施形態に係る固体撮像装置の構成について説明する。図 5 は、第 2 実施形態に係る固体撮像装置の断面構成を説明するための概略図である。図 6 は、同じく第 2 実施形態に係る固体撮像装置の平面図である。図 7 は、バッファアンプモジュール近傍の構成を示す平面図である。図 8 は、バッファアンプモジュールの構成を説明するための回路図である。なお、図 6 及び図 7 は、固体撮像装置の裏面側から見た図である。

【0047】 第 2 実施形態の固体撮像装置 I S 2 は、パッケージ P 2、CCD チップ 1 1、信号処理回路としてのバッファアンプモジュール 6 1 等を備えている。

【0048】 載置部 2 は、CCD チップ 1 1 を配置するための第 1 の平面部 3、バッファアンプモジュール 6 1 を配置するための第 2 の平面部 4、及び、第 3 の平面部 9 を有している。第 3 の平面部 9 は、パッケージ P 2 の裏面 7 と第 2 の平面部 4 との間に位置し、パッケージ P 2 の裏面 7 及び第 2 の平面部 4 に段差を有して形成されている。なお、パッケージ P 2 の中空部 1 のエネルギー線入射側

部分とは反対側部分は、底蓋 10 により封止されている。

【0049】 載置部 2 の第 3 の平面部 9 には、複数のパッケージ側電極 45 が設けられている。各パッケージ側電極 45 は、パッケージ P 2 内に形成された内部配線（図示せず）を介して、複数の電極ピン 27 のうちの所定の電極ピンに電氣的に接続されている。CCD チップ 11 に形成された CCD チップ側電極 19 のうちの所定の電極は、パッケージ側電極 45 のうちの所定の電極と、ボンディングワイヤ 46 を介して電氣的に接続されている。これにより、外部から CCD チップ 11 に、所定の電極ピン、内部配線、所定のパッケージ側電極、ボンディングワイヤ 46、及び所定の CCD チップ側電極を通して、転送信号等の信号が送られる。

【0050】 バッファアンプモジュール 61 は、図 7 及び図 8 にも示されるように、負荷抵抗 62、バイポーラトランジスタ 63、及び電界効果トランジスタ 64 を含んでおり、負荷抵抗 62、バイポーラトランジスタ 63、及び電界効果トランジスタ 64 は基板 61a 上に配置されている。また、バッファアンプモジュール 61（基板 61a）は、載置部 2 の第 2 の平面部 4 上に接着層（図示せず）を介して載置され、この載置部 2（パッケージ P 2）に固定されている。

【0051】 バッファアンプモジュール 61 の入力端子（電極）65 には、CCD チップ 11 の出力端子 OS1（電界効果トランジスタ 16 のソース端子）が電氣的に接続されている。負荷抵抗 62 の一方の端子は入力端子 65 を介して CCD チップ 11 の出力端子 OS1 に電氣的に接続され、負荷抵抗 62 の他方の端子は接地されている。

【0052】 バイポーラトランジスタ 63 のベース端子は入力端子 65 及び抵抗素子 66 を介して CCD チップ 11 の出力端子 OS1 に電氣的に接続されており、エミッタ端子は電界効果トランジスタ 64 のドレイン端子及びバッファアンプモジュール 61 の出力端子（電極）67 に電氣的に接続されている。バイポーラトランジスタ 63 のコレクタ端子は、端子（電極）70 に電氣的に接続され

ている。この端子70は、端子ODと同じく、一定の正の電圧値を示す電圧が入力されている。電界効果トランジスタ64のゲート端子及びソース端子は接地されている。なお、抵抗素子66は、バイポーラトランジスタ63のベース電流を制御するためのものである。ここで、電界効果トランジスタ16及び負荷抵抗62はソースフォロワ回路を構成する。

【0053】 CCDチップ11の出力端子OS1とバッファアンプモジュール61の入力端子65とは、ボンディングワイヤ68を介して接続されている。バッファアンプモジュール61の出力端子67は、ボンディングワイヤ69を介して所定のパッケージ側電極OS2に接続されている。端子ODは、ボンディングワイヤ71を介してバッファアンプモジュール61の端子72に接続され、端子70に電氣的に接続されている。端子70は、ボンディングワイヤ74を介して所定のパッケージ側電極に接続されている。

【0054】 CCDチップの端子SSは、ボンディングワイヤ75を介してバッファアンプモジュール61の端子（電極）76に接続され、この端子76に電氣的に接続された端子（電極）77がボンディングワイヤ78を介して所定のパッケージ側電極に接続されている。この所定のパッケージ側電極は、電極ピン27のうち接地される所定の電極ピン（接地ピン）に電氣的に接続されている。

【0055】 以上のように、本実施形態によれば、バッファアンプモジュール61が、CCDチップ11が配置された第1の平面部3とは異なる第2の平面部4に配置され、第1の平面部3と第2の平面部4との段差を利用して、CCDチップ11とバッファアンプモジュール61とが近接して配置されることとなる。これにより、固体撮像装置201の外側にバッファアンプモジュール203を配置するもの（図9A参照）に比して、本実施形態の固体撮像装置IS2（図9B参照）は、CCDチップ11からバッファアンプモジュール61までの信号伝達経路が短くなり、当該信号伝達経路の寄生容量が小さくなる。この結果、CCDチップ11から出力された信号の波形の鈍化を抑制すると共に、高速応答

性を向上することができる。なお、図9Aにおけるバッファアンプモジュール203は、本実施形態のバッファアンプモジュール61と同じ構成を有するものとしている。

【0056】 また、バッファアンプモジュール61は、一端がCCDチップ11の出力端子OS1に電氣的に接続され、他端が接地される負荷抵抗62と、CCDチップ11の出力端子OS1に電氣的に接続されるバイポーラトランジスタ63とを含んでいる。このように構成した場合、CCDチップ11と負荷抵抗62とが離れて配置されるので、負荷抵抗62が発熱した場合でも、CCDチップ11の特性に悪影響（例えば、暗電流の増加等）を及ぼすのを防ぐことができる。また、バイポーラトランジスタ63は、負荷抵抗62に対するドライブ能力が高いため、バッファアンプモジュール61より後段の信号伝達経路の寄生容量による影響を軽減することができる。

【0057】 次に、図10に基づいて、第2実施形態に係る固体撮像装置の変形例について説明する。図10は、第2実施形態に係る固体撮像装置の変形例の断面構成を説明するための概略図である。

【0058】 第2実施形態の変形例における固体撮像装置IS3は、パッケージP3、表面照射型のCCDチップ81、信号処理回路としてのバッファアンプモジュール61等を備えている。

【0059】 パッケージP3は、底部91と側部92とで囲まれた窪み部93を有しており、上述したパッケージP1、P2と同様に、セラミック製である。底部91は、CCDチップ81を配置するための第1の平面部94と、バッファアンプモジュール61を配置するための第2の平面部95とを有している。第1の平面部94と第2の平面部95とは、段差を有して形成されている。また、底部91は、第3の平面部96を更に有しており、この第3の平面部96は、パッケージP3の表面8と第2の平面部95との間に位置し、パッケージP3の表面8及び第2の平面部95に段差を有して形成されている。

【0060】 CCDチップ81は、エネルギー線感応部12を有し、表面側がエネルギー線入射面となるように、底部91の第1の平面部94上に載置され、この底部91（パッケージP3）に固定されている。

5 【0061】 以上のように、本変形例においても、バッファアンプモジュール61が、CCDチップ81が配置された第1の平面部94とは異なる第2の平面部95に配置され、第1の平面部94と第2の平面部95との段差を利用して、CCDチップ81とバッファアンプモジュール61とが近接して配置されることとなる。これにより、CCDチップ81からバッファアンプモジュール61までの信号伝達経路が短くなり、当該信号伝達経路の寄生容量が小さくなる。この結果、CCDチップ81から出力された信号の波形の鈍化を抑制すると共に、
10 高速応答性を向上することができる。

【0062】 本発明は、前述した実施形態に限定されるものではない。例えば、固体撮像素子は、CCDチップ11，81に限られることなく、アモルファスシリコン製のフォトダイオード（PD）アレイと薄膜トランジスタ（TFT）で形成したものでもよいし、MOS型のイメージセンサでもよい。
15

産業上の利用可能性

【0063】 本発明は、CCDイメージセンサ等の固体撮像装置に利用できる。

請求の範囲

1. エネルギー線感応部を有する固体撮像素子と、
前記固体撮像素子から出力される信号を処理する信号処理回路と、
前記固体撮像素子及び前記信号処理回路を収納するパッケージと、を備え、

5 前記信号処理回路は、前記パッケージにおける前記固体撮像素子が配置された平面部とは異なる平面部に配置されていることを特徴とする固体撮像装置。

2. エネルギー線感応部を有する固体撮像素子と、
前記固体撮像素子から出力される信号を処理する信号処理回路と、
前記固体撮像素子及び前記信号処理回路を収納するパッケージと、を備え、

10 前記パッケージは、第1の平面部と、前記第1の平面部に段差を有して形成された第2の平面部とを有しており、

前記固体撮像素子は前記第1の平面部に配置され、前記信号処理回路は前記第2の平面部に配置されていることを特徴とする固体撮像装置。

15 3. 前記信号処理回路は、前記固体撮像素子の出力端子に電氣的に接続される負荷抵抗を含んでいることを特徴とする請求の範囲第1項又は第2項に記載の固体撮像装置。

4. 前記信号処理回路は、
一端が前記固体撮像素子の出力端子に電氣的に接続され、他端が接地される負荷抵抗と、

20 前記固体撮像素子の出力端子に電氣的に接続されるバイポーラトランジスタを有するバッファアンプと、を含んでいることを特徴とする請求の範囲第1項又は第2項に記載の固体撮像装置。

図1

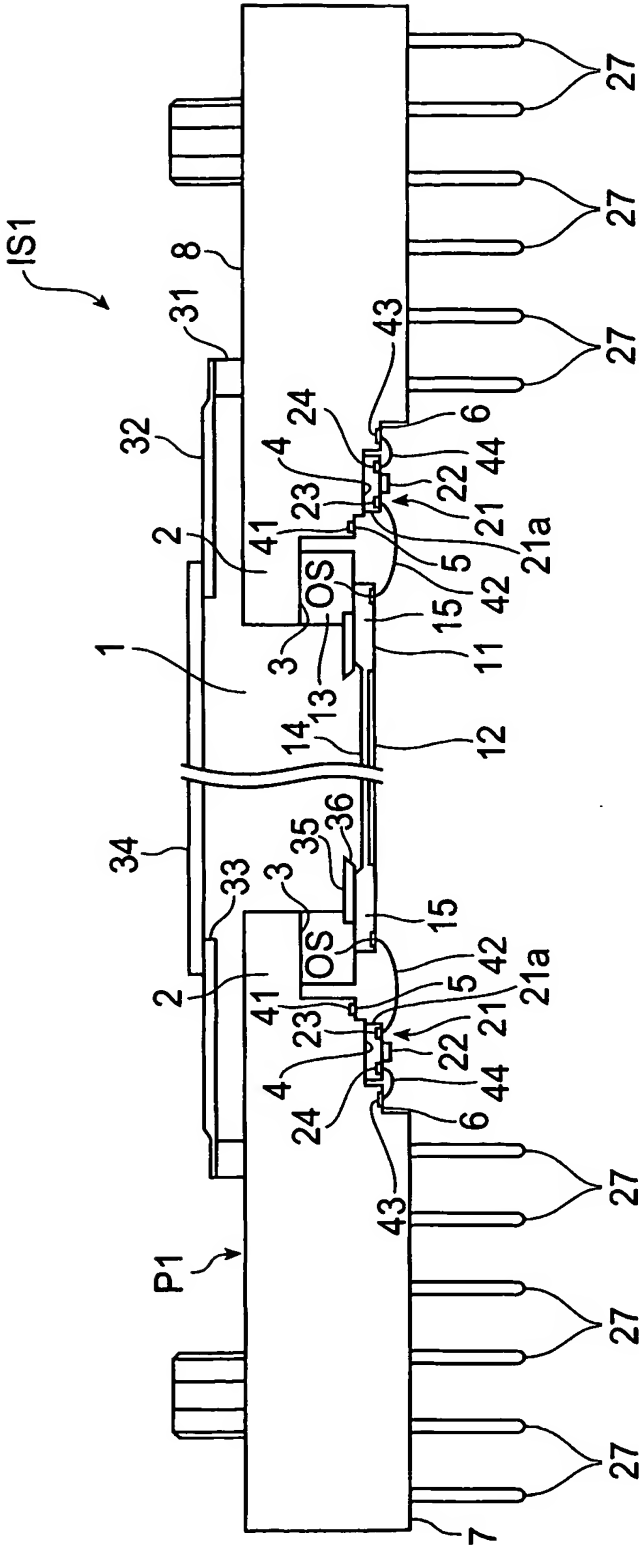


図2

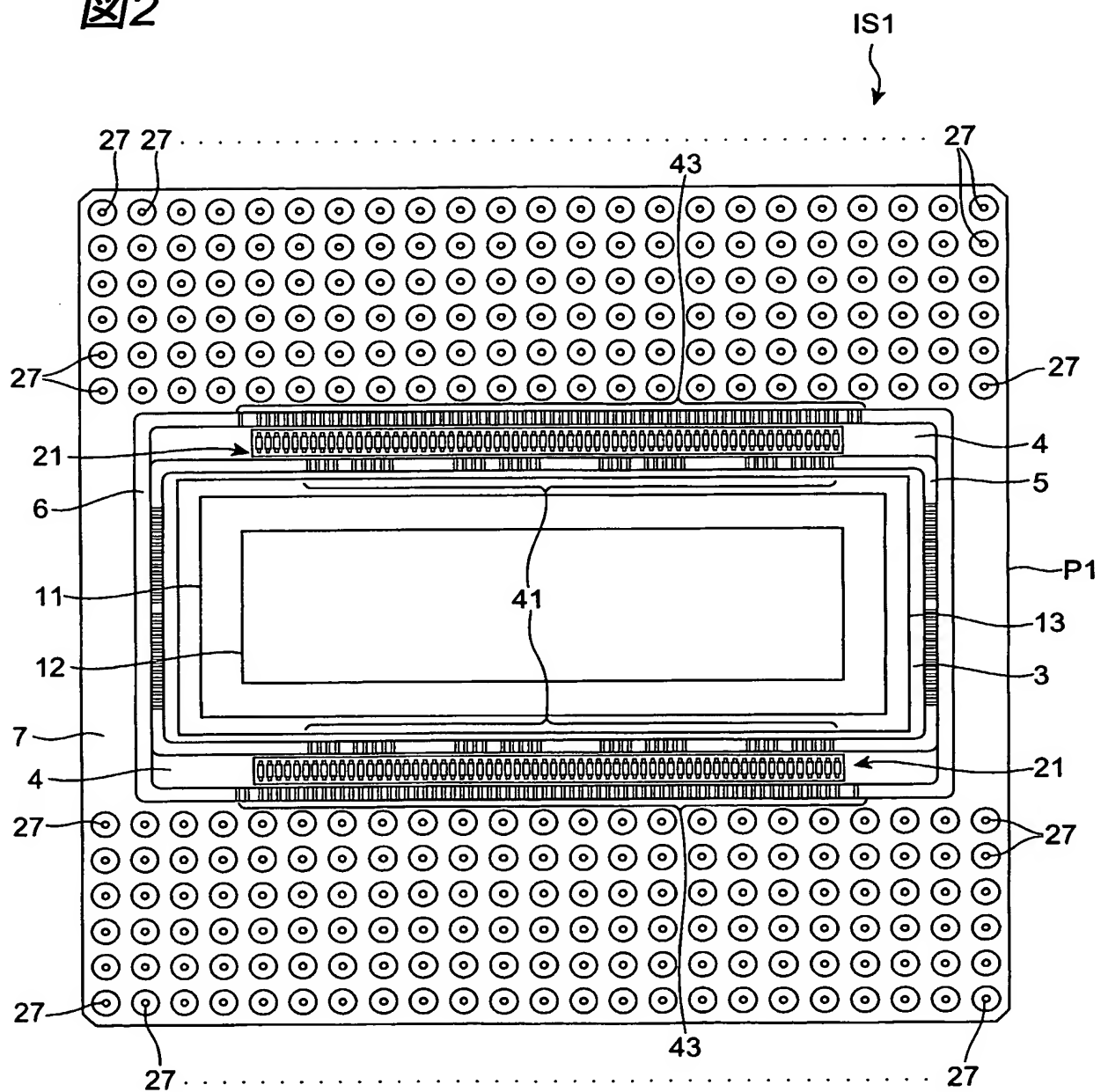


図3

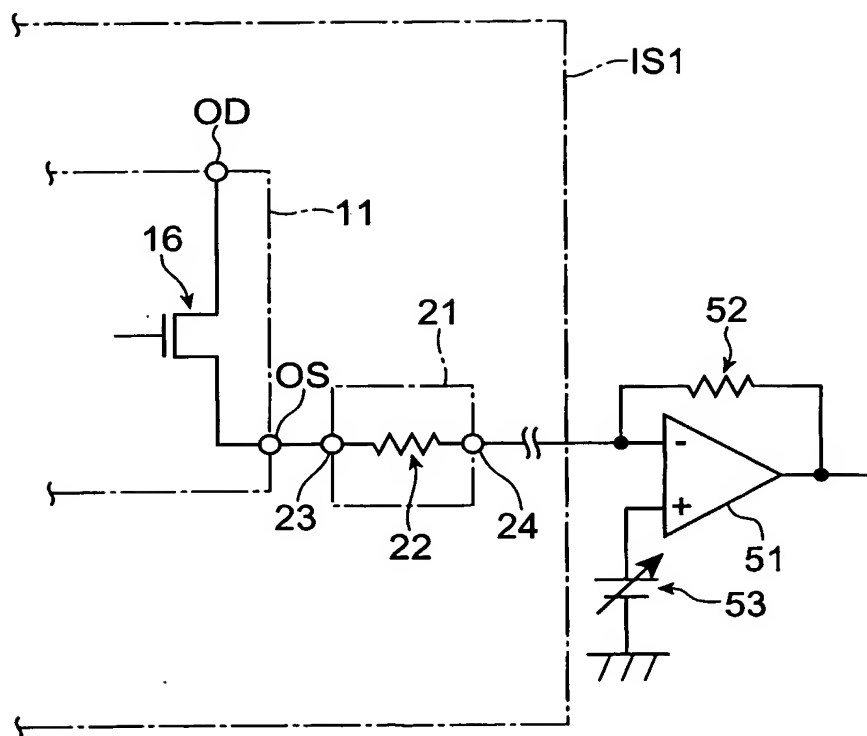


図4B

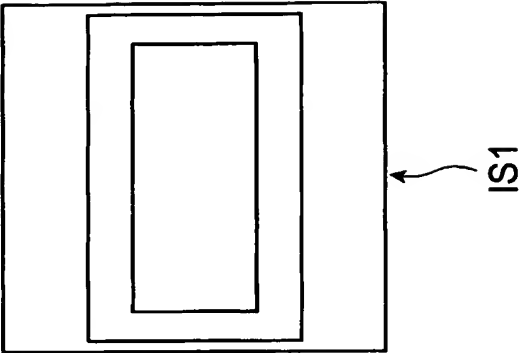


図4A

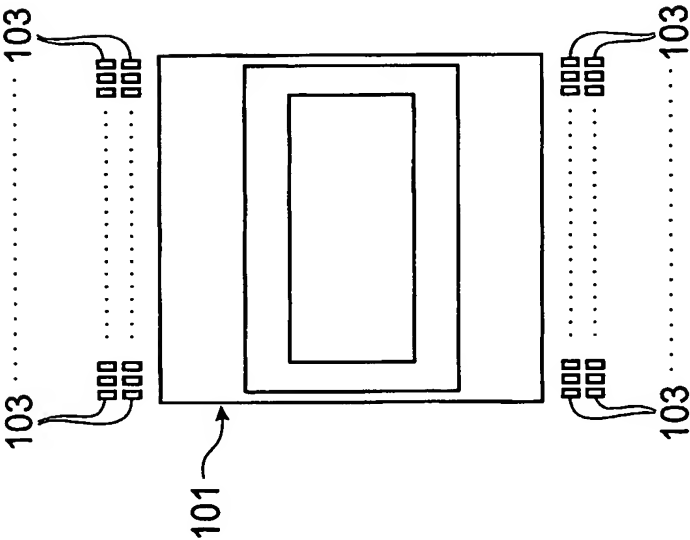


图5

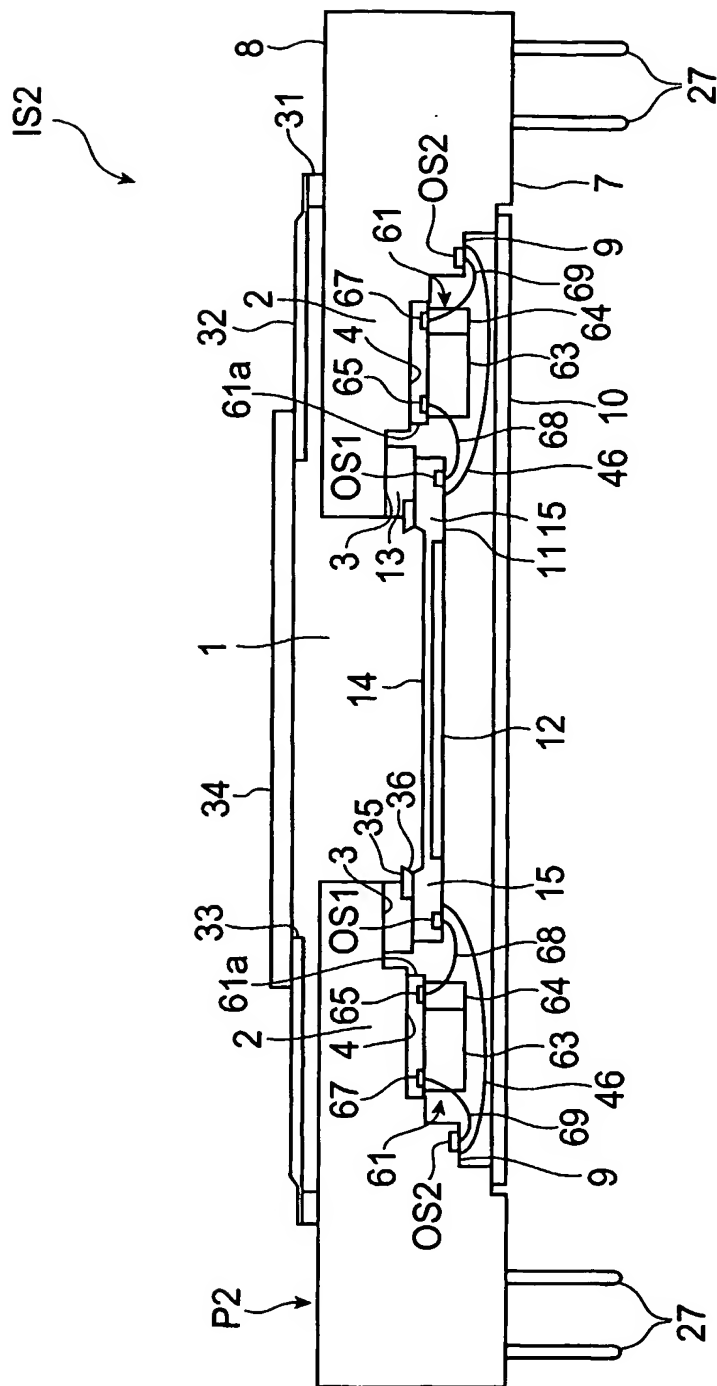


図6

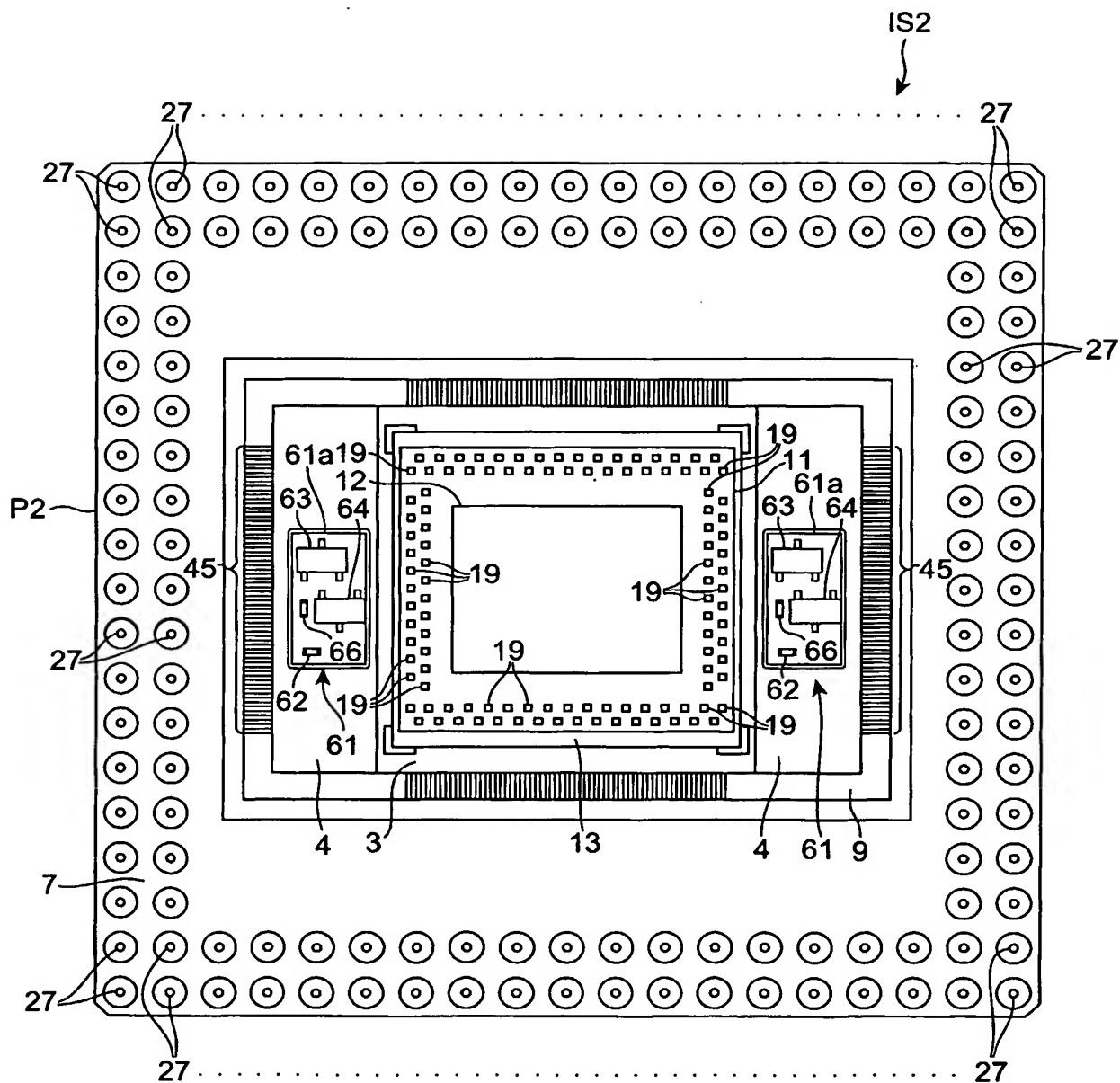


図7

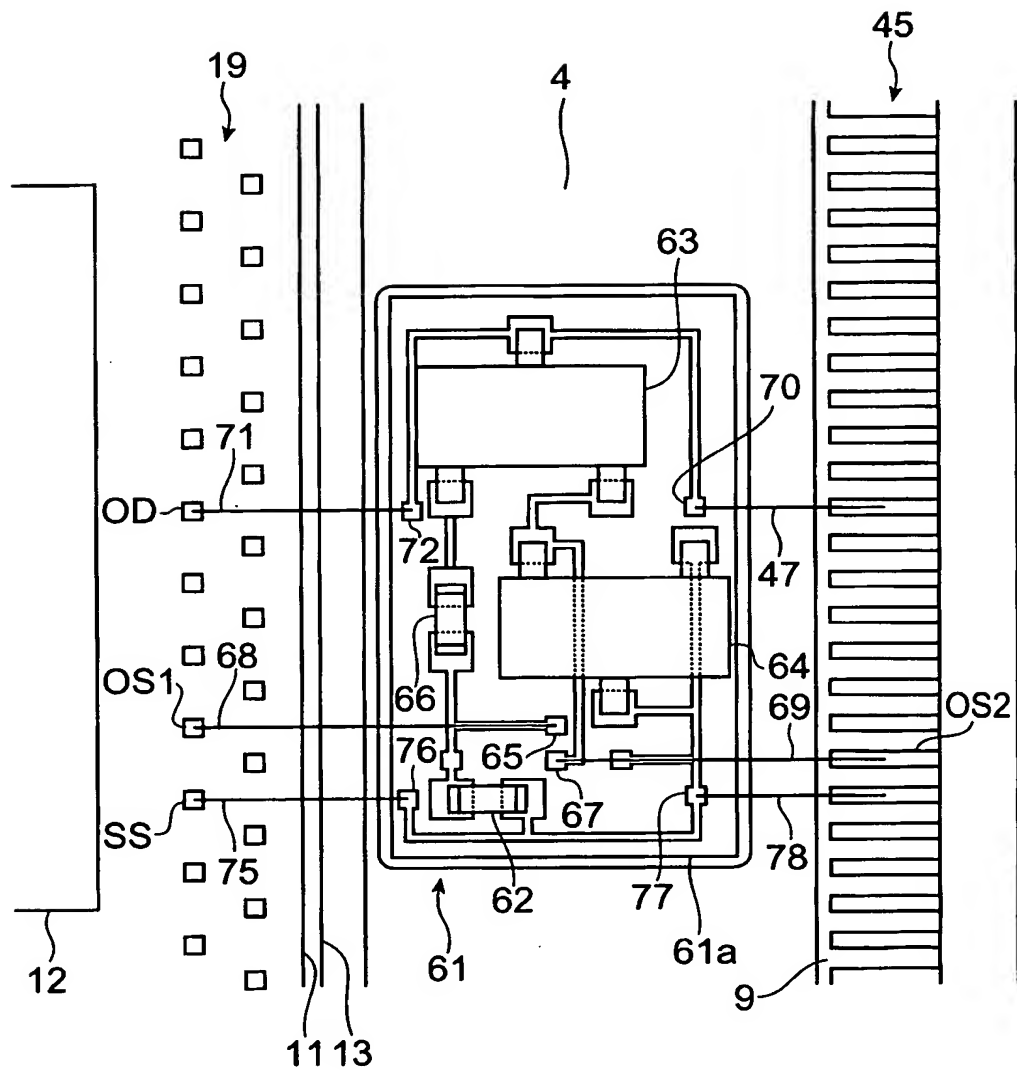


図9B

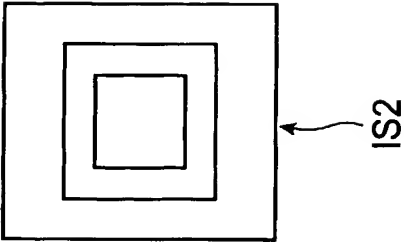


図9A

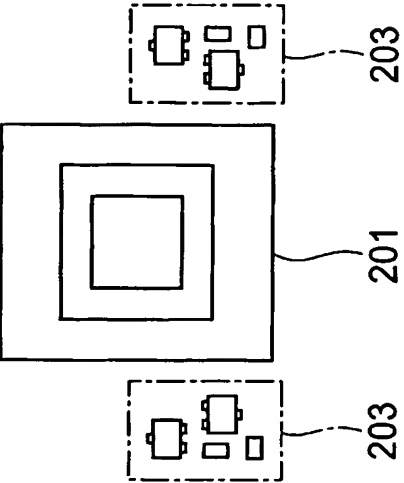
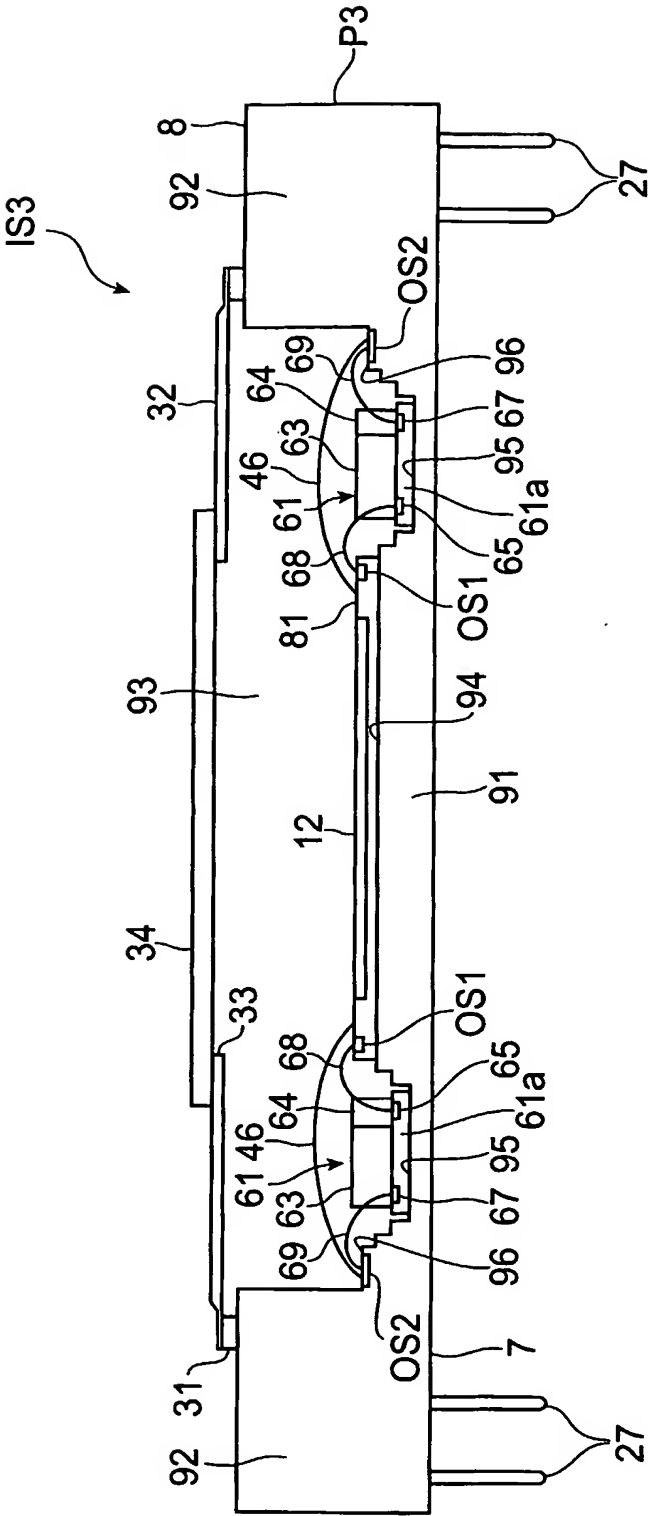


図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005334

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/335, H01L27/146

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-84509 A (Matsushita Electronics Corp.), 31 March, 1998 (31.03.98), Par. Nos. [0034] to [0038]; Fig. 1 & EP 828298 A & CN 1176556 A	1-4
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 114972/1988 (Laid-open No. 36057/1990) (Fuji Xerox Co., Ltd.), 08 March, 1990 (08.03.90), Full text; Fig. 1 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 June, 2004 (30.06.04)

Date of mailing of the international search report
20 July, 2004 (20.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005334

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-368949 A (Shokai Kagi Kofun Yugenkoshi), 20 December, 2002 (20.12.02), Par. Nos. [0019] to [0020]; Fig. 2 (Family: none)	1, 3, 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H01L27/146

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 10-84509 A (松下電子工業株式会社) 1998. 03. 31, 段落【0034】-【0038】, 図1 & E P 828298 A & C N 1176556 A	1-4
Y	日本国実用新案登録出願63-114972 (日本国実用新案登録 出願公開2-36057号) の願書に添付した明細書及び図面の内 容を記録したマイクロフィルム (富士ゼロックス株式会社) 1990. 03. 08, 全文, 第1図 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

30. 06. 2004

国際調査報告の発送日

20. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区設楽三丁目4番3号

特許庁審査官 (権限のある職員)

徳田 賢二

5 P

3137

電話番号 03-3581-1101 内線 3502

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-368949 A (勝開科技股▲ふん▼有限公 司) 2002. 12. 20, 段落【0019】-【0020】, 図2 (ファミリーなし)	1, 3, 4